

⑯ 日本国特許庁

## 公開特許公報

⑪特開昭 52-70706

⑬公開日 昭52. (1977) 6.13

⑭特願昭 51-149723

⑮出願日 昭48. (1973) 7.23

審査請求 有 (全4頁)

序内整理番号

7459 46  
7361 46  
6513 47

⑯日本分類

P6(4)E8/0  
P8(4)G3/1  
P8(4)H0

⑰Int.C12

H04Q 1/1F2  
H01L 27/10  
H01L 21/76  
H03K 17/16

識別  
記号

チは特に通話損失や通話中の通話路から他の通話路への漏話が少ないとが要求される。

半導体通話路スイッチの集積化に当つては、現在その電子間分離の多くはP-N接合分離方法が用いられており、一部に誘電体絶縁分離方法が実施されている。

しかし乍ら、P-N接合分離を行なつた通話路スイッチは、分離の接合容量が大きく、さらにその上、基板との間に寄性能動素子の働きが存在する等の為に電子オフ時の漏話、および電子オン時の通話損失が大きいという欠点がある。又、誘電体絶縁分離を行なつた場合は、電子と基板との寄性能動素子の存在はなく、誘電体による寄生の静電容量もP-N接合分離の接合容量に比べ小さい為、P-N接合における欠点は非常に改善される。

しかし、従来の誘電体絶縁分離を行なつた場合の基板（通常は多結晶のシリコン）は電気的には全く浮遊させて使われており、このため基板上の各電子間には誘電体部の静電容量による

結合がある。従って、1 MHz 以上の高周波領域での極めて少ない漏話が要求される通話路スイッチの場合においては、誘電体部の静電容量が P-N 接合分離における接合容量に比べずっと少さいにも拘らず、基板を経る他素子への漏話が問題となる。

本発明は、誘電体絶縁分離における素子と基板との間の寄生の静電容量に起因する上述の欠点を除く為、基板に電極を設け、この電極を接地して優れた高周波特性を持つ通話路スイッチを提供するもので、以下図により具体的に説明する。

第 1 図は漏話を説明する為の通話路マトリックスの簡単な一例で、1 は通話路スイッチ、11, 12, 13, 14 は各交叉点の接点である。2 は信号の入線側を、3 は出線側を示す。

今、交叉点 11, 14 が閉じ、入線側 21 と出線側 31 および入線側 22 と出線側 32 との通話路が構成されたとき、例えば入線 21 からの信号が矢印で示す如く、オフ中の交叉点 12 および 13 を通っても

漏話

が大きく、一方、第 3 図(b)の場合はオン時の通話損失は少ないが、オフ時の漏話が大きいという欠点がある。

第 4 図は、第 2 図の P-N 接合分離の代わりに誘電体絶縁分離を行なった場合の断面図で公知である。13 は多結晶シリコンの基板、14 は誘電体(例えば  $\text{SiO}_2$ )で、素子(図は P-N-P-N スイッチ)は誘電体 14 で囲まれた単結晶シリコンの島 15 の中に作られる。多結晶の基板 13 は電気的には全く浮遊した状態であり、主に機械的強度を保つ機能を果している。そのため、上記素子は誘電体による寄生の静電容量により他の素子と基板を経て結合されている。

第 5 図は本発明に係る半導体通話路スイッチに用いられる誘電体絶縁分離を行なった通話路素子(図では P-N-P-N スイッチ)の断面図を示す。基本的には第 4 図図示の通話路素子と同じであるが、第 4 図図示の通話路素子の多結晶基板 16 の表面に接地用電極 S を設けたものである。17 がその基板電極 S で、18 は電極をとる為に多

う一方の通話路 22-32 へ漏れて出てくる。これが漏話であり、一般にオフ時の交叉点は等価的に静電容量の為、周波数が高くなるとこの漏話が大きくなり障害となる。

第 2 図は、P-N 接合により素子間分離を行なった半導体通話路スイッチに使用する從来公知の P-N-P-N スイッチの断面図で、5 は P 形の基板、6 は N 形のエピタキシャル層で、素子間分離は 8 で示す P<sup>+</sup> 拡散によりなされる。8 は P-N-P-N スイッチのアノード電極 A、9 はカソード電極 K、10 はゲート電極 G、11 は基板用電極 S である。第 3 図は第 2 図図示の P-N-P-N スイッチの等価回路で、P-N 接合分離である為、8 のアノード A と 11 の基板 S との間に寄生 P-N-P トランジスタ 12 が存在することを示している。

第 3 図(a)は基板 S をアースした場合を、第 3 図(b)は基板 S をカソードに接続した場合を表わす。第 3 図(a)の場合はオフ時のアノード A とカソード K との間の漏話に対しては有利であるが、オン時寄生 P-N-P トランジスタ 12 による通話損失

結晶部に高濃度な不純物拡散を施した部分である。

第 6 図は本発明に係る半導体通話路スイッチに用いられる通話路スイッチの別の実施例で通話路素子の多結晶基板の裏面、全面に接地用電極 S を設けたもので、19 がその基板用電極 S、20 は第 5 図と同様の多結晶基板に高濃度な不純物拡散を施した部分である。第 7 図は第 5 図、第 6 図の素子を等価回路で表わしたもので、21 が誘電体による寄生の静電容量  $C_d$  である。

すなわち、本発明に係る半導体通話路スイッチは、その通話路素子の多結晶基板を接地する為、寄生の静電容量  $C_d$  による他素子への結合を一切除去することが可能となる。

以上説明した如く、本発明に係る半導体通話路スイッチは、誘電体分離において優れた高周波特性を持つことができる。また、P-N-P-N スイッチの場合、アノード・カソード間にステップ電圧が加わったことによって導通してしまういわゆるレイト効果による誤動作に対しても基

カソード電極、10…サイリスタのゲート電極、  
 11…基板用電極、12…寄性トランジスタ、  
 13, 16…多結晶基板、14…誘電体、15…半  
 結晶の島、17, 19…多結晶基板用電極、  
 18, 20…多結晶に施した高濃度な不純物拡散部。

板をアースすることによって影響を受けていくと改善される効果を持つ。

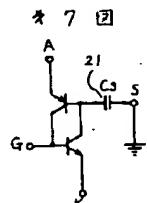
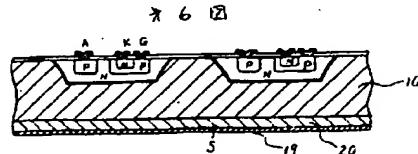
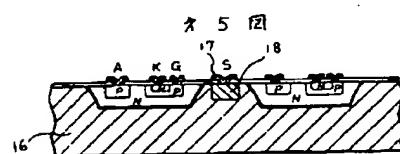
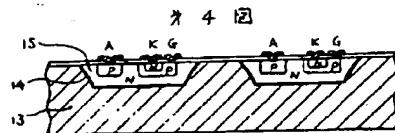
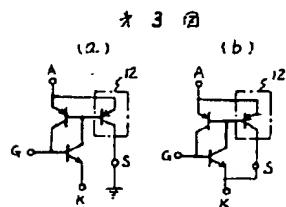
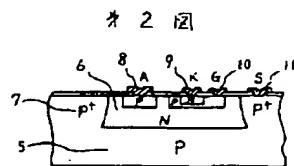
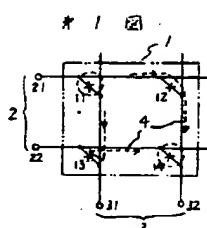
尚、上記説明においては、素子をPNPNサイリスタで示してきたが、複合形FET, MOS形FET等の電界効果トランジスタやその他の素子を用いた場合でも本発明は有効である。

#### 4. 図面の簡単な説明

第1図は通話路スイッチの回路図、第2図は公知の通話路スイッチの断面図、第3図はその等価回路図、第4図は誘電体分離を行なった公知の通話路スイッチの断面図、第5図は本発明に係る通話路スイッチの一実施例の断面図、第6図は本発明に係る通話路スイッチの別の実施例の断面図、第7図は第5図、第6図の等価回路図を示す。

1…通話路スイッチ、2, 21, 22…通話路スイッチ入線、3, 31, 32…通話路スイッチ出線、4…漏話、5…基板、6…エピタキシャル層、7…P<sup>+</sup>アイソレーション拡散、8…サイリスタのアノード電極、9…サイリスタの

代理人弁理士 萩 田 利 幸



添附書類の目録

(1) 例　　細　　書	1通
(2) 図　　面	12枚
(3) 作　　成　　状	1通
(4) 特　　許　　願　　本	1通

(変更を要しない為省略)

前記以外の発明者、特許出願人または代理人

発　明　者

住所　神奈川県横浜市戸塚区戸塚町216番地  
株式会社　日立製作所　戸塚工場内  
氏　名　奥原眞治